

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-371999

(43)Date of publication of application : 24.12.1992

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 03-175995

(71)Applicant : CANON INC

(22)Date of filing : 20.06.1991

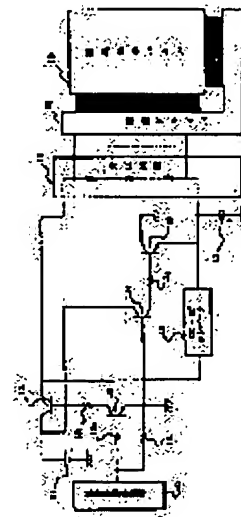
(72)Inventor : KAWASHIMA TOSHIHIKO
SUGITO YOJI

(54) POWER SOURCE CIRCUIT FOR DRIVING LIQUID CRYSTAL DISPLAY PANEL

(57)Abstract:

PURPOSE: To minimize the disturbance of a display screen and the impressing of a DC voltage to liquid crystal by short-circuiting the power supply line between a liquid crystal display panel and a power source, and the ground when electric power supply is stopped.

CONSTITUTION: When the electric power supply to the liquid crystal display panel 19 is stopped, a short-circuit means (4th transistor) 16 short-circuits the power supply line between the liquid crystal display panel 19 and power source, and the ground. Namely, when the output of a liquid crystal power source control circuit 10 falls to 'low', 1st and 2nd transistors 121 and 122 turn off and a positive voltage to a voltage divider circuit 18 and the power supply to a DC-DC converter 15 are cut off. At the same time, a 3rd transistor 14 turns ON to supply a base current to a 4th transistor 16, and then the impedance between the collector and emitter of the 4th transistor 16 nearly becomes '0', so that charges accumulated in a large-capacity capacitor 17 are discharged with a short-circuit current flowing to the 4th transistor 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-371999

(43) 公開日 平成4年(1992)12月24日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G	3/36			
G 0 2 F	1/133	5 2 0		
			G 0 9 G	3/36
			G 0 2 F	1/133 5 2 0

審査請求 未請求

(全5頁)

(21) 出願番号	特願平3-175995	(71) 出願人	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成3年(1991)6月20日	(72) 発明者	河島 敏彦 東京都大田区下丸子3丁目30番2号 キャノ ン株式会社内
		(72) 発明者	杉戸 洋史 東京都大田区下丸子3丁目30番2号 キャノ ン株式会社内
		(74) 代理人	渡部 敏彦

(54) 【発明の名称】 液晶表示パネル駆動用電源回路

(57) 【要約】 本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

【請求項1】 液晶表示パネルへの電力供給が停止された場合、該液晶表示パネルと電源との間の電力供給ラインとグランドとの間を短絡させる短絡手段を設けたことを特徴とする液晶表示パネル駆動用電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示パネル駆動用電源回路に関する。

【0002】

【従来の技術】従来、例えば、電池を電源とする電子機器における液晶表示パネル駆動用電源回路は、図4のように構成されていた。即ち、電源1から液晶表示パネル2に駆動用電力が供給されている場合には、液晶電源制御回路3の出力が「ハイ」となっており、第1、第2トランジスタ41、42がオンとなって、DC-DCコンバータ5の出力側には負の電圧が発生している。該電圧は、通常、分圧回路6を経て、液晶ドライバ7に供給される。通常、DC-DCコンバータ5の出力側には、該出力の電圧のリップルを除去するため、かなり大容量のコンデンサ8が接続されていた。

【0003】

【発明が解決しようとする課題】斯かる従来の液晶表示パネル用電源回路にあつては、図5(a)に示すとおり、液晶電源制御回路3の出力が「ロー」になることにより、液晶ドライバ7への電力供給が遮断される過程を見た場合、大容量コンデンサ8に蓄積されていた電荷が放電されるため、図5(b)に示す如く、DC-DCコンバータ5の出力側の電圧が完全に0ボルト(V)に到達するまでに、ある程度の時間が経過することとなる。この間、液晶ドライバ7の動作が不安定となり、図5(c)に示す如く、液晶表示パネル11の表示画面が乱れるという不具合があった。

【0004】更に、多くの場合、上記DC-DCコンバータ5の出力側の電圧が完全に0ボルトに到達するまでの間、液晶ドライバ7に内蔵されている交流発生回路の動作が異常となることから、液晶に直流電圧が印加されることとなり、液晶の寿命及び特性を急速に劣化させるという問題点があった。

【0005】本発明は上記事情に鑑みてなされたもので、電力供給ラインが0ボルトに到達するまでの間に発生する液晶表示パネルの表示画面の乱れ及び液晶への直流電圧の印加を最小限に抑制し得る液晶表示パネル駆動用電源回路を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するため本発明は、液晶表示パネルへの電力供給が停止された場合、該液晶表示パネルと電源との間の電力供給ラインとグランドとの間を短絡させる短絡手段を設けたことを特徴とするものである。

【0007】

【作用】液晶表示パネルへの電力供給が停止された場合、該液晶パネルと電源との間の電力供給ラインとグランドとの間が短絡手段により短絡されることにより、該電力供給ラインに接続されている大容量コンデンサに蓄積されている電荷が急速に放電し、該電力供給ラインが0ボルトに到達するまでに経過する時間が大幅に短縮し、該経過時間内に発生する液晶表示画面の乱れ及び液晶への直流電圧の印加が最小限に抑制される。

10 【0008】

【実施例】以下、本発明の実施例を図1乃至図3に基づき説明する。

【0009】図1は本発明の一実施例に係る液晶表示パネル駆動用電源回路のブロック構成図であり、同図中、10は、その出力が「ハイ」のとき後述する液晶ドライバに電力が供給される液晶電源制御回路、11は電源であるところの電池、121、122は後述する液晶表示パネルへの電力供給のオン/オフ切り換えのためのスイッチング素子である第1、第2トランジスタである。

20 【0010】131、132、133、134は、第1、第2トランジスタ121、122、後述する第3、第4トランジスタ14、16の各ベース電流を制限する抵抗、14は液晶電源制御回路10の出力が「ロー」となったときに「オン」となる第3トランジスタである。

【0011】15は「正」の直流電圧から「負」の直流電圧を生成するDC-DCコンバータ、16は第3トランジスタ14が「オン」となったときDC-DCコンバータ15の出力側とグランドとの間を短絡する第4トランジスタ（短絡手段）、17はDC-DCコンバータ15の出力を安定させるための大容量コンデンサである。

【0012】18は液晶ドライバ19に交流化のためのステップ電位を、第1、第2トランジスタ121、122の出力である正電圧及び、DC-DCコンバータ15の出力である負電圧を分圧することにより生成するための分圧回路、19は液晶表示パネル、20はこの液晶表示パネル19を駆動するための液晶ドライバである。

【0013】次に、上記構成の液晶表示パネル駆動用電源回路の動作を説明する。

【0014】まず、図2(a)に示す如く、液晶電源制御回路10の出力が「ロー」になると、第1、第2トランジスタ121、122がオフとなって、分圧回路18への正電圧及びDC-DCコンバータ15への電力供給が遮断される。

【0015】これと同時に、第3トランジスタ14がオンとなり、第4トランジスタ16にベース電流が供給されることから、この第4トランジスタ16のコレクタとエミッタとの間のインピーダンスがほぼ「0」となって、大容量コンデンサ17に蓄積されている電荷が、図2(d)に示す如く、第4のトランジスタ16に流れる短絡電流によって、急速に放電される。

【0016】これに伴い、図2(b)に示す如くDC-DCコンバータ15の出力電圧は、短時間に0ボルトに移行し、図2(c)に示す如く、液晶表示パネル19の表示画面の乱れは殆んどユーザには認識されなくなると共に、液晶に直流電圧が印加されることによる寿命及び特性への悪影響も防止することができる。

【0017】次に、本発明の他の実施例を図3に基づき説明する。

【0018】なお、本実施例において、上述した図1及び図2に示す実施例と同一部分については、図面に同一符号を付して説明する。

【0019】図1及び図2に示す実施例ではコンデンサ18に蓄積されている電荷の放電を第4トランジスタ16により行なったのに対して、本実施例ではリレーにより行なったものである。

【0020】図3中、21はリレー、22はリレー21の駆動用コイルへの電流供給を制御するための第3トランジスタ、23は第3トランジスタ22に、液晶電源制御回路10の出力が「ロー」になった瞬間にパルスのベース電流を供給するための微分回路を構成する第2コンデンサ、24は第3トランジスタ22のエミッタ電流を制限する抵抗である。

【0021】そして、液晶電源制御回路10の出力が「ロー」になると、第2コンデンサ23により、第3トランジスタ22に微分パルスの電流が流れ、リレー21が短時間オンとなって、第1コンデンサ17に蓄積された電荷をほぼ瞬時に放電する。

【0022】再び、液晶電源制御回路10の出力が「ハイ」になると、第2コンデンサ23に蓄積されている電荷は各抵抗131～133、23を通じて放電される。

【0023】本実施例においては、リレー21を用いる点で、短絡手段のコンパクト化のためには不利であるが、DC-DCコンバータ15の出力側の電圧の遷移時間は、上述した図1及び図2に示す実施例より短くできるという利点がある。

【0024】更に、上記各実施例においては、分圧回路18に供給される負電圧の供給ラインのみを短絡する例について説明したが、正電圧の供給ライン、即ち、第1、第2トランジスタ121、122のコレクタ側とグラウンドとの間を短絡する機能を付加することにより、より効果的に液晶表示パネルの表示画面の乱れ等を防止することができる。

【0025】

【発明の効果】以上説明したように本発明によれば、電力供給ラインに接続されている大容量コンデンサに蓄積されている電荷を急速に放電させ、該電力供給ラインが0ボルトに到達するまでの時間を大幅に短縮することができ、その結果、次のような■及び■の効果を奏する。

【0026】■電力供給ラインが0ボルトに到達するまでの時間内に発生する液晶表示パネルの表示画面の乱れ

をユーザに認識させないようにできる。

【0027】■電力供給ラインが0ボルトに到達するまでの時間内に液晶ドライバが不安定動作することにより液晶に直流電圧が印加されることによる寿命及び特性への悪影響を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る液晶表示パネル駆動用電源回路のブロック構成図である。

【図2】同回路の動作を示すタイムチャートである。

【図3】本発明の他の実施例に係る図1と同状図である。

【図4】従来の液晶表示パネル駆動用電源回路のブロック構成図である。

【図5】同回路の動作を示すタイムチャートである。

【符号の説明】

16 第4トランジスタ(短絡手段) 19 液晶表示パネル

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-371999

(43) 公開日 平成4年(1992)12月24日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 2 0	7820-2K		

審査請求 未請求 請求項の数1(全 5 頁)

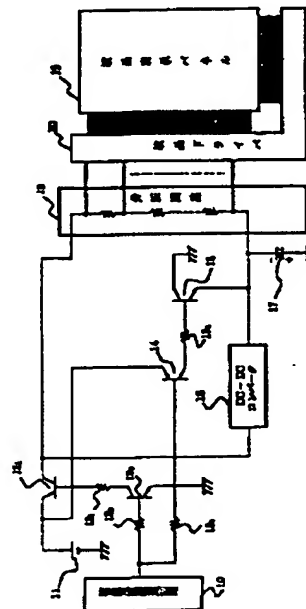
(21) 出願番号	特願平3-175995	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成3年(1991)6月20日	(72) 発明者	河島 敏彦 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(72) 発明者	杉戸 洋史 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74) 代理人	弁理士 渡部 敏彦

(54) 【発明の名称】 液晶表示パネル駆動用電源回路

(57) 【要約】

【目的】 電力供給ラインが0ボルトに到達するまでの間に発生する液晶表示パネルの表示画面の乱れ及び液晶へ直流電圧の印加を最小限に抑制し得る液晶表示パネル駆動用電源回路を提供すること。

【構成】 液晶表示パネル19への電力供給が停止された場合、短絡手段(第4トランジスタ)16により、液晶表示パネル19と電源との間の電源供給ラインとグラウンドとの間を短絡させるようにした。



(2)

特開平4-371999

1

2

【特許請求の範囲】

【請求項1】 液晶表示パネルへの電力供給が停止された場合、該液晶表示パネルと電源との間の電力供給ラインとグラウンドとの間を短絡させる短絡手段を設けたことを特徴とする液晶表示パネル駆動用電源回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示パネル駆動用電源回路に関する。

【0002】

【従来の技術】 従来、例えば、電池を電源とする電子機器における液晶表示パネル駆動用電源回路は、図4のように構成されていた。即ち、電源1から液晶表示パネル2に駆動用電力が供給されている場合には、液晶電源制御回路3の出力が「ハイ」となっており、第1、第2トランジスタ4₁、4₂がオンとなって、DC-DCコンバータ5の出力側には負の電圧が発生している。該電圧は、通常、分圧回路6を経て、液晶ドライバ7に供給される。通常、DC-DCコンバータ5の出力側には、該出力の電圧のリップルを除去するため、かなり大容量のコンデンサ8が接続されていた。

【0003】

【発明が解決しようとする課題】 斯かる従来の液晶表示パネル用電源回路にあっては、図5(a)に示すとおり、液晶電源制御回路3の出力が「ロー」になることにより、液晶ドライバ7への電力供給が遮断される過程を見た場合、大容量コンデンサ8に蓄積されていた電荷が放電されるため、図5(b)に示す如く、DC-DCコンバータ5の出力側の電圧が完全に0ボルト(V)に到達するまでに、ある程度の時間が経過することとなる。この間、液晶ドライバ7の動作が不安定となり、図5(c)に示す如く、液晶表示パネル11の表示画面が乱れるという不具合があった。

【0004】 更に、多くの場合、上記DC-DCコンバータ5の出力側の電圧が完全に0ボルトに到達するまでの間、液晶ドライバ7に内蔵されている交流発生回路の動作が異常となることから、液晶に直流電圧が印加されることとなり、液晶の寿命及び特性を急速に劣化させるという問題点があった。

【0005】 本発明は上記事情に鑑みてなされたもので、電力供給ラインが0ボルトに到達するまでの間に発生する液晶表示パネルの表示画面の乱れ及び液晶への直流電圧の印加を最小限に抑制し得る液晶表示パネル駆動用電源回路を提供することを目的とする。

【0006】

【課題を解決するための手段】 上記目的を達成するため本発明は、液晶表示パネルへの電力供給が停止された場合、該液晶表示パネルと電源との間の電力供給ラインとグラウンドとの間を短絡させる短絡手段を設けたことを特徴とするものである。

【0007】

【作用】 液晶表示パネルへの電力供給が停止された場合、該液晶パネルと電源との間の電力供給ラインとグラウンドとの間が短絡手段により短絡されることにより、該電力供給ラインに接続されている大容量コンデンサに蓄積されている電荷が急速に放電し、該電力供給ラインが0ボルトに到達するまでに経過する時間が大幅に短縮し、該経過時間内に発生する液晶表示画面の乱れ及び液晶への直流電圧の印加が最小限に抑制される。

【0008】

【実施例】 以下、本発明の実施例を図1乃至図3に基づき説明する。

【0009】 図1は本発明の一実施例に係る液晶表示パネル駆動用電源回路のブロック構成図であり、同図中、10は、その出力が「ハイ」のとき後述する液晶ドライバに電力が供給される液晶電源制御回路、11は電源であるところの電池、12₁、12₂は後述する液晶表示パネルへの電力供給のオン/オフ切り換えのためのスイッチング素子である第1、第2トランジスタである。

【0010】 13₁、13₂、13₃、13₄は、第1、第2トランジスタ12₁、12₂、後述する第3、第4トランジスタ14、16の各ベース電流を制限する抵抗、14は液晶電源制御回路10の出力が「ロー」となったときに「オン」となる第3トランジスタである。

【0011】 15は「正」の直流電圧から「負」の直流電圧を生成するDC-DCコンバータ、16は第3トランジスタ14が「オン」となったときDC-DCコンバータ15の出力側とグラウンドとの間を短絡する第4トランジスタ（短絡手段）、17はDC-DCコンバータ15の出力を安定させるための大容量コンデンサである。

【0012】 18は液晶ドライバ19に交流化のためのステップ電位を、第1、第2トランジスタ12₁、12₂の出力である正電圧及び、DC-DCコンバータ15の出力である負電圧を分圧することにより生成するための分圧回路、19は液晶表示パネル、20はこの液晶表示パネル19を駆動するための液晶ドライバである。

【0013】 次に、上記構成の液晶表示パネル駆動用電源回路の動作を説明する。

【0014】 まず、図2(a)に示す如く、液晶電源制御回路10の出力が「ロー」になると、第1、第2トランジスタ12₁、12₂がオフとなって、分圧回路18への正電圧及びDC-DCコンバータ15への電力供給が遮断される。

【0015】 これと同時に、第3トランジスタ14がオンとなり、第4トランジスタ16にベース電流が供給されることから、この第4トランジスタ16のコレクタとエミッタとの間のインピーダンスがほぼ「0」となって、大容量コンデンサ17に蓄積されている電荷が、図2(d)に示す如く、第4のトランジスタ16に流れる短絡電流によって、急速に放電される。

(3)

特開平4-371999

3

【0016】これに伴い、図2(b)に示す如くDC-DCコンバータ15の出力電圧は、短時間に0ボルトに移行し、図2(c)に示す如く、液晶表示パネル19の表示画面の乱れは殆んどユーザには認識されなくなると共に、液晶に直流電圧が印加されることによる寿命及び特性への悪影響も防止することができる。

【0017】次に、本発明の他の実施例を図3に基づき説明する。

【0018】なお、本実施例において、上述した図1及び図2に示す実施例と同一部分については、図面に同一

【0019】図1及び図2に示す実施例ではコンデンサ18に蓄積されている電荷の放電を第4トランジスタ16により行なったのに対して、本実施例ではリレーにより行なったものである。

【0020】図3中、21はリレー、22はリレー21の駆動用コイルへの電流供給を制御するための第3トランジスタ、23は第3トランジスタ22に、液晶電源制御回路10の出力が「ロー」になった瞬間にパルスのベース電流を供給するための微分回路を構成する第2コン

【0021】そして、液晶電源制御回路10の出力が「ロー」になると、第2コンデンサ23により、第3トランジスタ22に微分パルスの電流が流れ、リレー21が短時間オンとなって、第1コンデンサ17に蓄積された電荷をほぼ瞬時に放電する。

【0022】再び、液晶電源制御回路10の出力が「ハイ」になると、第2コンデンサ23に蓄積されている電荷は各抵抗13₁～13₃、23を通じて放電される。

【0023】本実施例においては、リレー21を用いる点で、短絡手段のコンパクト化のためには不利であるが、DC-DCコンバータ15の出力側の電圧の遷移時間は、上述した図1及び図2に示す実施例より短くでき

4

るという利点がある。

【0024】更に、上記各実施例においては、分圧回路18に供給される負電圧の供給ラインのみを短絡する例について説明したが、正電圧の供給ライン、即ち、第1、第2トランジスタ12₁、12₂のコレクタ側とグランドとの間を短絡する機能を付加することにより、より効果的に液晶表示パネルの表示画面の乱れ等を防止することができる。

【0025】

10 【発明の効果】以上説明したように本発明によれば、電力供給ラインに接続されている大容量コンデンサに蓄積されている電荷を急速に放電させ、該電力供給ラインが0ボルトに到達するまでの時間を大幅に短縮することができる。その結果、次のような①及び②の効果を奏する。

【0026】①電力供給ラインが0ボルトに到達するまでの時間内に発生する液晶表示パネルの表示画面の乱れをユーザに認識させないようにできる。

【0027】②電力供給ラインが0ボルトに到達するまでの時間内に液晶ドライバが不安定動作することにより液晶に直流電圧が印加されることによる寿命及び特性への悪影響を防止することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る液晶表示パネル駆動用電源回路のブロック構成図である。

【図2】同回路の動作を示すタイムチャートである。

【図3】本発明の他の実施例に係る図1と同状図である。

【図4】従来の液晶表示パネル駆動用電源回路のブロック構成図である。

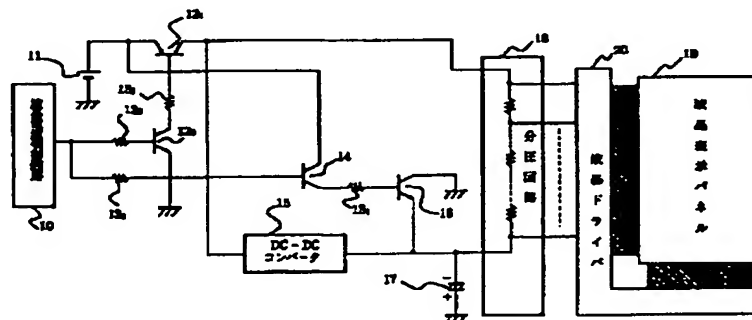
30 【図5】同回路の動作を示すタイムチャートである。

【符号の説明】

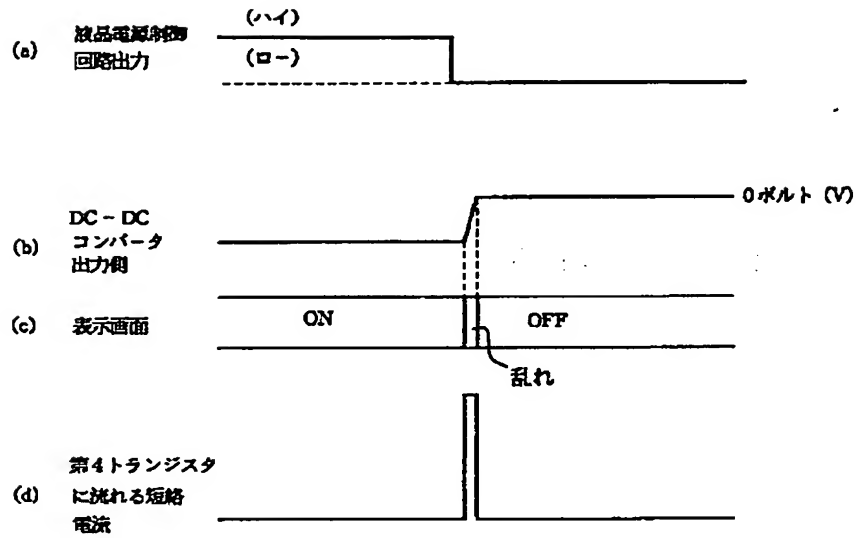
16 第4トランジスタ（短絡手段）

19 液晶表示パネル

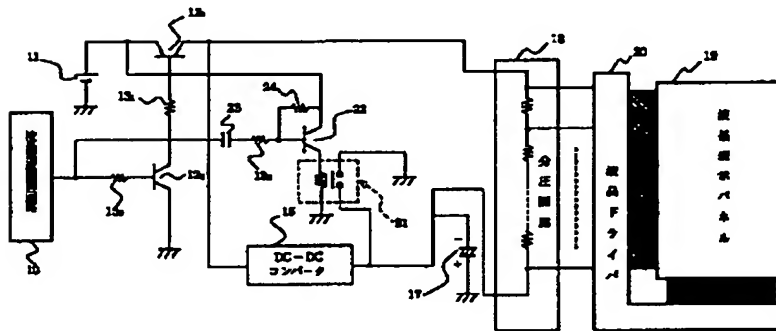
【図1】



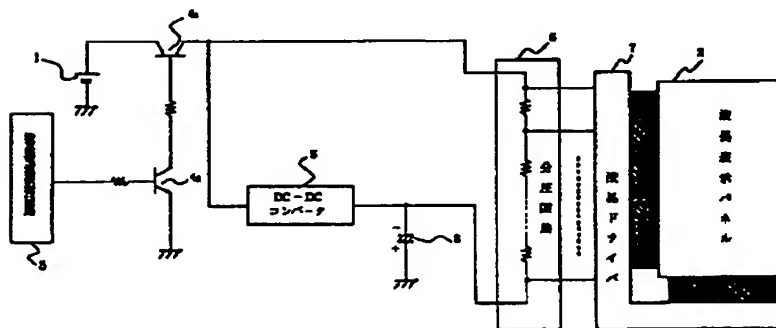
【図2】



【図3】



【図4】



(5)

特開平4-371999

【図5】

